

ELECTRONIC COMPONENT PACKAGING DEVICE

Patent Number: JP9148492
Publication date: 1997-06-06
Inventor(s): KAWACHI TETSUYA; ARIGA MITSUO
Applicant(s):: MURATA MFG CO LTD
Requested Patent: ☐ JP9148492
Application Number: JP19950299917 19951117
Priority Number(s):
IPC Classification: H01L23/28 ; H01L23/50 ; H01L23/52 ; H01L25/04 ; H01L25/18
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To be able to make a wirebonding between chips and external lead frames and a wirebonding between the chips without generating any position differences of the chips which are made diebonding and without significant step differences and to improve high frequency characteristic and thermal radiation.

SOLUTION: A shallow recess 1a and a deep recess 1b are provided in an internal lead frame 1. A short height chip 2a and a tall height chip 2b are mounted on the shallow recess 1a and the deep recess 1b respectively and are made diebonding. Wirebondings between external lead frames 3 and 4 and the short height chip 2a and the tall height chip 2b and wirebondings between the short height chip 2a and the tall height chip 2b are made and these are molded by resin 6.

Data supplied from the esp@cenet database - I2

JP-A-9-148492 further teaches that a back surface metal of the recess may be exposed externally from the resin. Accordingly, especially when a chip having a large heating value is mounted on the recess, the radiation amount can be increased.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-148492

(43) 公開日 平成9年(1997)6月6日

| (51) IntCl. ⁹ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|--------------------------|-------|--------|---------------|--------|
| H 0 1 L | 23/28 | | H 0 1 L 23/28 | A |
| | 23/50 | | 23/50 | U |
| | 23/52 | | 23/52 | D |
| | 25/04 | | 25/04 | Z |
| | 25/18 | | | |

審査請求 未請求 請求項の数 3 O L (全 3 頁)

(21) 出願番号 特願平7-299917

(22) 出願日 平成7年(1995)11月17日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 河内 哲也

京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(72) 発明者 有家 光夫

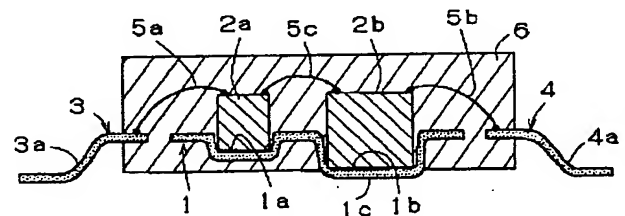
京都府長岡京市天神二丁目26番10号 株式
会社村田製作所内

(54) 【発明の名称】 電子部品パッケージ装置

(57) 【要約】

【課題】 ダイボンドされるチップの位置ずれが生じることがなく、チップと外部リードフレームとのワイヤボンディングおよびチップ間のワイヤボンディングをさほど段差なく行うことができ、高周波特性と熱放散を改善する。

【解決手段】 内部リードフレーム1に浅い窪地1aと深い窪地1bを設け、この浅い窪地1aには低背チップ2aを、深い窪地1bに高背チップ2bをそれぞれ載置してダイボンドし、外部リードフレーム3、4と低背チップ2a、高背チップ2bとの間、および低背チップ2aと高背チップ2bとの間を、ワイヤボンディングして、これらを樹脂6によりモールドしてなる電子部品パッケージ装置。



【特許請求の範囲】

【請求項1】 内部リードフレームにチップを載せて電氣的に接続し、該チップと外部リードフレームとをワイヤボンディングし、樹脂モールドしてなる電子部品パッケージ装置において、
前記内部リードフレームに前記チップの載置される一個もしくは複数の窪地が形成されてなる電子部品パッケージ装置。

【請求項2】 前記複数の窪地の深さが同一もしくは相違してなる請求項1記載の電子部品パッケージ装置。

【請求項3】 前記内部リードフレームに形成された前記窪地の裏面金属が、前記樹脂モールドの外部に露出してなる請求項1または請求項2記載の電子部品パッケージ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子部品のチップを内部リードフレームに載置して樹脂モールドした電子部品パッケージ装置に関する。

【0002】

【従来の技術】従来の電子部品パッケージ装置の断面構造を図2に示す。11は扁平状の内部リードフレームで、この内部リードフレーム11上には、低背チップ12と高背チップ13がダイボンディングされている。14、15は外部リードフレームである。低背チップ12は外部リードフレーム14とワイヤ16aにより接続され、高背チップ13は外部リードフレーム15とワイヤ16bにより接続され、低背チップ12と高背チップ13とはワイヤ16cにより接続されている。そして、これらの構造部材は、外部リードフレーム14、15の外部リード端子を除いて樹脂17によりモールドされている。

【0003】

【発明が解決しようとする課題】しかしながら、従来の電子部品パッケージ装置は、低背チップ12と高背チップ13を内部リードフレーム11にダイボンディングする際、チップ12、13が位置ずれを生ずることがあった。また、低背チップ12と外部リードフレーム14を接続するワイヤ16a、高背チップ13と外部リードフレーム15を接続するワイヤ16b、低背チップ12と高背チップ13間を接続するワイヤ16cに、それぞれ段差が生じて、ワイヤボンディングが困難な場合もあり、また、接続ワイヤ16a、16bおよび16cの長さが長くなって、高周波特性が悪化していた。また、モールドした低背チップ12、高背チップ13の発熱量が大きい場合、内部リードフレーム11の金属厚みを大きくして放熱量を大きくする必要があった。そこで、本発明は、ダイボンディングされるチップの位置ずれが生じることがなく、チップと外部リードフレームとのワイヤボンディングおよびチップ間のワイヤボンディングをさほど段差なく行うことができ、かつ、高周波特性を改善し、そし

て熱放散を改善した電子部品パッケージ装置を提供することを目的とする。

【0004】

【課題を解決するための手段】本発明は、上記目的を達成するために、下記手段を採ることを特徴とする。

1. 内部リードフレームにチップを載せて電氣的に接続し、該チップと外部リードフレームとをワイヤボンディングして、樹脂モールドしてなる電子部品パッケージ装置において、前記内部リードフレームに前記チップの載置される一個もしくは複数の窪地が形成されてなる電子部品パッケージ装置。

【0005】2. 前記複数の窪地の深さが同一もしくは相違してなる請求項1記載の電子部品パッケージ装置。

【0006】3. 前記内部リードフレームに形成された前記窪地の裏面金属が、前記樹脂モールドの外部に露出してなる上記1または上記2記載の電子部品パッケージ装置。

【0007】以上のように、本発明は、内部リードフレームに窪地を設けて、この窪地にチップを載置するので、チップの位置ずれがなく、また、複数の高さの異なるチップの場合には、高さに合わせて窪地の深さを調整して、前記複数のチップの高さをほぼ一定にできるので、ボンディングワイヤの長さも一定になり、かつ、チップと外部リードフレーム間およびチップ同士の間のワイヤボンディングをさほど段差なく行うことができ、ボンディングワイヤも短くなるので高周波特性が向上する。また、発熱量の大きいチップの内部リードフレームの裏面金属をモールド樹脂の外部に露出させることにより、放熱量を大きくすることができると共に、該内部リードフレームの露出した裏面金属をセット基板のグランド電極にそのまま半田付けすることにより、グランドの強化も図ることができる。

【0008】

【発明の実施の形態】以下に、本発明の電子部品パッケージ装置の実施例について図1を参照して説明する。同図は本実施例に係る電子部品パッケージ装置の断面による概略の形態を示すものである。1は内部リードフレームで、コパル材などの金属よりなり、厚みが200 μ mである。この内部リードフレーム1には、100 μ mの浅い窪地1aと500 μ mの深い窪地1bがプレスなどにより形成されている。前記浅い窪地1aには、高さ300 μ mのICの低背チップ2aがダイボンディングされ、前記深い窪地1bには、高さ700 μ mのICの高背チップ2bがダイボンディングされている。

【0009】3、4はそれぞれ外部リードフレームである。外部リードフレーム3は、低背チップ2aとワイヤ5aによりボンディングされている。また、外部リードフレーム4は、高背チップ2bとワイヤ5bによりボンディングされている。さらに、低背チップ2aと高背チ

チップ2bは、ワイヤ5cによりボンディングされている。低背チップ2a、高背チップ2bなどの前記部材は、外部リードフレーム3、4の外部リード端子3a、4aと内部リードフレーム1に設けた窪地1bの裏面金属1cとを露出させて、樹脂6によりモールドされる。

【0010】以上のように、本実施例は、低背チップ2a、高背チップ2bの高さに合わせて、そのダイボンドされる内部リードフレーム1の所定場所に窪地1a、1bを設けているので、低背チップ2a、高背チップ2bが所定の場所に位置ずれを生じることなくダイボンドされる。また、低背チップ2a、高背チップ2bの高さが一定になるので、低背チップ2a、高背チップ2b間のワイヤボンディングが容易となる。

【0011】また、本実施例においては、内部リードフレーム1に設けた窪地1bの裏面金属1cが、樹脂6から露出しているので、該露出裏面金属1cをセット基板（図示せず）のグランド電極に直接かつ短距離で接続できるので、グランドが強化され周波数特性が向上すると共に、放熱効果も改善される。

【0012】

【発明の効果】本発明は、以上のように、内部リードフレームに窪地を設け、この窪地にチップを載置してダイボンドするので、チップの位置ずれが生じず、チップと外部リードフレーム間をさほど段差なくワイヤボンディングすることができる。

【0013】また、複数個の高さの異なるチップをダイ

ボンドする場合には、その高さに合わせて前記窪地の深さを調整するで、前記複数個のチップの高さをほぼ一定にすることができ、チップ間のワイヤボンディングを段差なく行うことができる。このように、段差のないワイヤボンディングにより接続ワイヤが短くなり、高周波特性が改善される。

【0014】また、本発明は、発熱量の大きいチップがダイボンドされる内部リードフレームの窪地の裏面金属をモールド樹脂の外部に露出させるので、チップの放熱量を大きくすることができると共に、該内部リードフレームの露出裏面金属をセット基板のグランド電極にそのまま半田付けすることにより、グランドの強化も図ることができる。

【図面の簡単な説明】

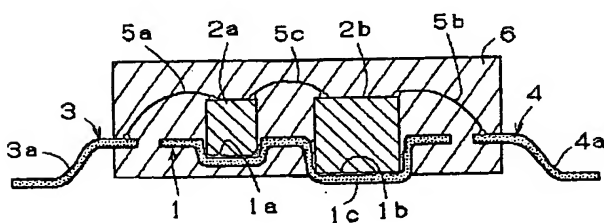
【図1】 本発明の電子部品パッケージ装置の一実施例の断面形態図

【図2】 従来の電子部品パッケージ装置の断面形態図

【符号の説明】

| | |
|----------|-----------|
| 1 | 内部リードフレーム |
| 1a、1b | 窪地 |
| 1c | 裏面金属 |
| 2a | 低背チップ |
| 2b | 高背チップ |
| 3、4 | 外部リードフレーム |
| 5a、5b、5c | ワイヤ |
| 6 | 樹脂 |

【図1】



【図2】

